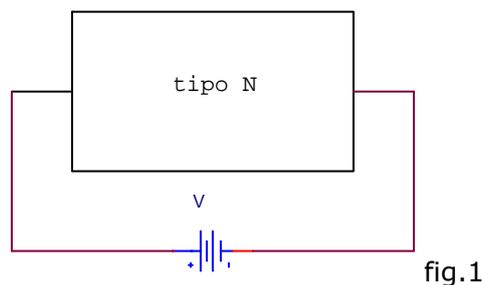


Transistor ad effetto di campo (FET)

Il FET (field effect transistor) è un dispositivo (attivo) a tre terminali, source, drain e gate; la ragione di tale sigla nel fatto che nei FET la corrente che scorre tra il drain e il source (o viceversa) è controllata da un campo elettrico prodotto mediante il terzo terminale, quello di gate.

Nei FET l'elettrodo di controllo, il gate, non assorbe corrente; la grandezza di comando è la tensione V_{gs} tra gate e source e, perciò, **i FET sono dispositivi comandati in tensione**, al contrario dei BJT che sono comandati in corrente.

Nei FET la corrente I scorre in una barretta di semiconduttore drogato di un solo tipo (di tipo N o di tipo P); essa è trasportata perciò solo dalle cariche maggioritarie e, per questo motivo, **i FET sono dispositivi unipolari**, al contrario dei BJT che sono bipolari.

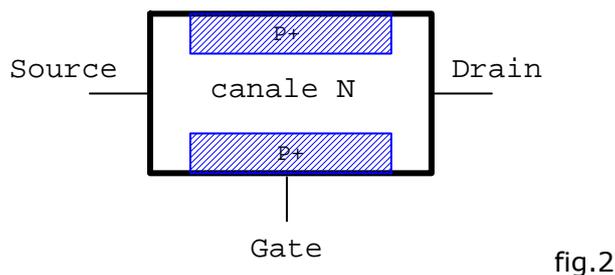


Ovviamente il valore di I dipende dalla tensione applicata e dalla resistenza della barretta, determinata tra l'altro dalla sezione della barretta stessa. Per controllare la corrente, nei FET si agisce sulla sezione effettiva della barretta, dove avviene il passaggio delle cariche, variando così la resistenza.

I FET si suddividono in JFET e MOSFET.

JFET

Il JFET, che significa FET a giunzione, esiste in due versioni: a canale N e a canale P. La struttura di un JFET a canale N è la seguente:



Come si vede dalla figura, esso è costituito da:

- una barretta di semiconduttore N ai cui estremi sono connessi due elettrodi metallici, il drain e il source. La corrente del dispositivo scorre proprio lungo questa barretta
- una regione P, fortemente drogata, che avvolge la regione N; l'elettrodo connesso a questa regione viene chiamato gate.

La zona di barretta avvolta dalla regione di gate viene chiamata canale; quella in prossimità del drain si chiama regione di drain, l'altra si chiama regione di source.

E' importante sapere che nei JFET

- la lunghezza del canale è molto più grande rispetto a quella delle altre 2 regioni
- i terminali di source e drain sono totalmente intercambiabili; nei JFET a canale N chiamiamo drain il terminale in cui la corrente entra (quello a potenziale più alto) Nei JFET a canale P, invece, il drain è il terminale da cui la corrente fuoriesce.

Nei JFET di qualunque tipo la giunzione tra gate e canale va **sempre polarizzata inversamente dappertutto** affinché il dispositivo funzioni correttamente e, perciò la corrente di gate I_G è trascurabile ($I_G \approx 0$); e, infatti, come abbiamo già detto, il FET è un dispositivo comandato in tensione.

Affinchè la giunzione gate/canale sia di sicuro polarizzata inversamente in ogni punto del canale, noi dobbiamo imporre:

- **$V_{gs} \leq 0$ e $V_{ds} > 0$ nei JFET a canale N**
- **$V_{gs} \geq 0$ e $V_{ds} < 0$ nei JFET a canale P**

Il simbolo del JFET a canale N è riportato in fig.3. La freccia nel gate sta ad indicare la giunzione PN tra gate e canale, che deve essere polarizzata inversamente, sempre. La freccia che punta sul canale sta ad indicare che esso è di tipo N

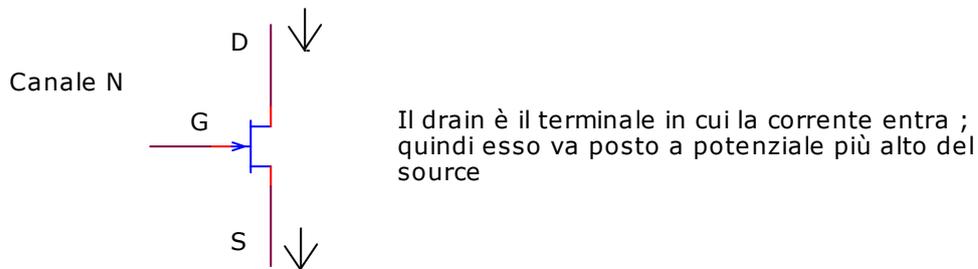


fig.3

Il simbolo del JFET a canale P è analogo; cambia soltanto il verso della freccia, che punta sul gate.

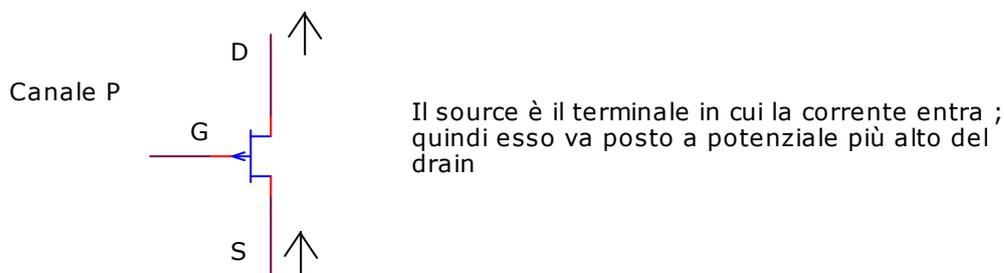


fig.4

Effetto della tensione di gate

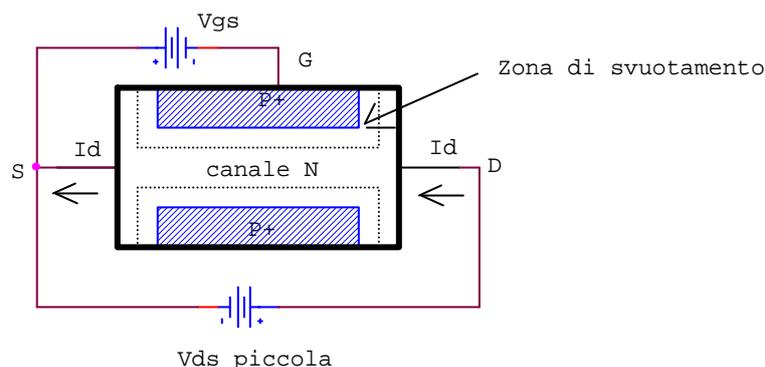


fig.5

Supponiamo di applicare una ddp V_{ds} positiva tra drain e source (fig.5); tale ddp deve essere piccola in modo da rendere trascurabili le variazioni di potenziale lungo il canale. Appliciamo ora una V_{GS} negativa in modo da polarizzare inversamente la giunzione gate/canale dappertutto.

In queste condizioni nel canale scorre una corrente I_d che entra dal drain ed esce dal source; osserviamo che:

- la corrente di gate è praticamente nulla, dato che la giunzione gate/canale è polarizzata inversamente
- le correnti di drain e source sono praticamente identiche; per questo motivo, da ora in poi, citeremo solo la corrente di drain
- la corrente di drain attraversa una regione di un solo tipo, il canale N nel nostro caso; per essere più chiari, la corrente nei FET non attraversa alcuna giunzione e, perciò, non diventa mai corrente di cariche minoritarie; la corrente è trasportata sempre dalle cariche maggioritarie del canale e i FET sono, per questo motivo, unipolari.

La polarizzazione inversa gate/canale determina una regione di svuotamento nella zona a cavallo della giunzione e, in definitiva, restringe il canale effettivo aumentandone la resistenza; aumentando la polarizzazione inversa, la corrente di drain I_d lungo il canale diminuisce, a parità di V_{DS} . Continuando ad aumentare, negativamente, V_{GS} ad un certo punto le due regioni di svuotamento si saldano e la zona libera del canale si annulla (fig. 6); il JFET è allora interdetto e il passaggio della corrente I_d si interrompe.

Il valore di V_{GS} , oltre il quale il canale è del tutto svuotato si chiama tensione di interdizione ed è indicata con $V_{GS(off)}$. Il valore di $V_{GS(off)}$ è di qualche volt.

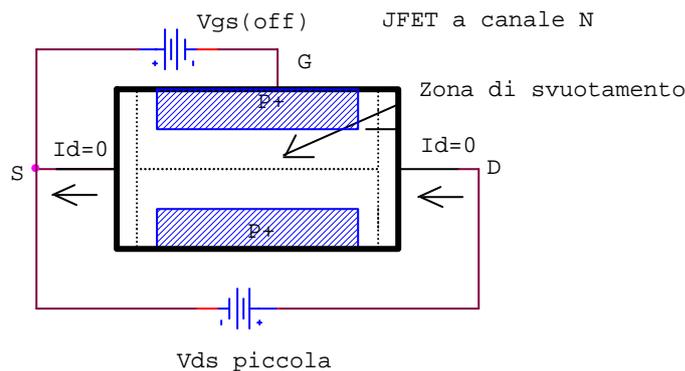


fig. 6

Se V_{GS} diventa ancora più negativa di $V_{GS(off)}$ il JFET rimane, ovviamente, interdetto; se la polarizzazione inversa diventa eccessiva ad un certo punto si innesca l'effetto Zener che potrebbe distruggere il dispositivo.

Effetto della tensione di drain

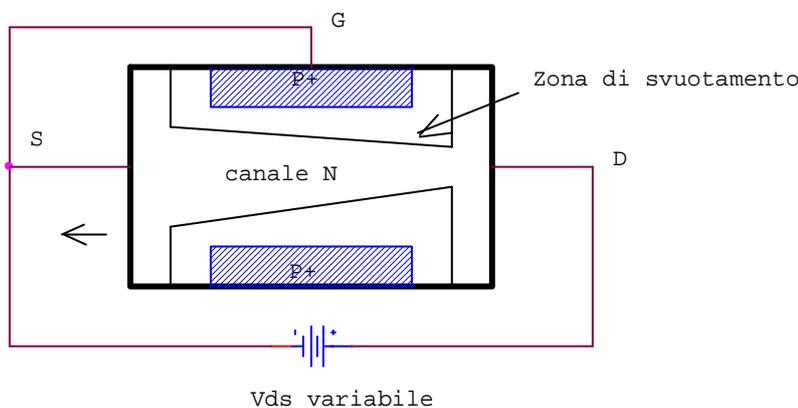


fig.7

Supponiamo ora di porre $V_{GS} = 0$ e di applicare una V_{DS} variabile (e positiva) (fig.7). Quello che si nota è che, al crescere di V_{DS} , inizialmente I_D cresce in modo direttamente proporzionale (o quasi) (fig.8).

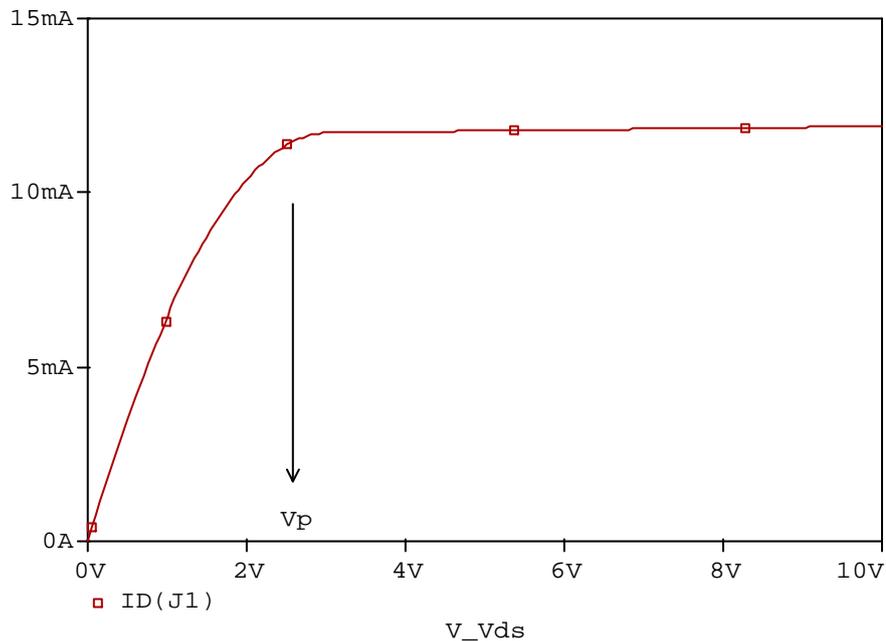


fig.8

Continuando ad aumentare V_{DS} , la crescita di I_D rallenta, anzi, ad un certo punto I_D diventa praticamente costante; perché?

La spiegazione sta nel fatto che, per via della tensione V_{DS} applicata, il potenziale lungo il canale va aumentando via via che dal source ci si sposta verso il drain; di conseguenza, la polarizzazione inversa gate/canale non è uniforme, ma va aumentando man mano che ci si avvicina al drain; anche la dimensione della regione di svuotamento va aumentando via via che ci si avvicina al drain (fig.7).

In definitiva, all'aumentare di V_{DS} , il canale si va restringendo sempre di più man mano che ci si avvicina al drain, sino a strozzarsi quando V_{DS} raggiunge un valore, tipico del dispositivo, che si chiama **tensione di strozzamento (pinch-off) V_p** (fig.9)

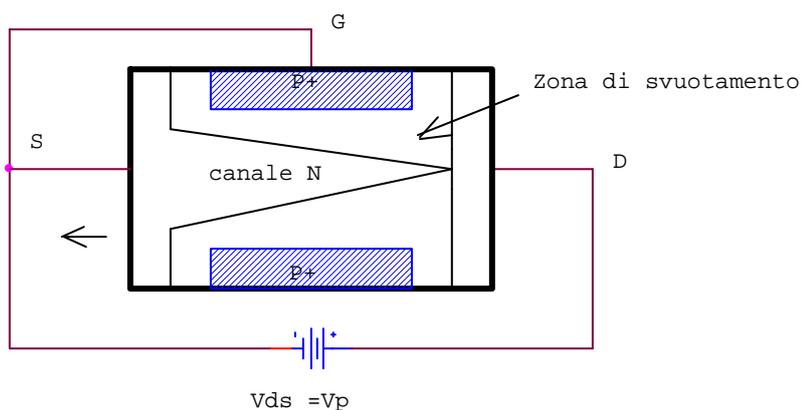


fig.9

Valutiamo la tensione di pinch-off; in pratica, il canale si strozza al drain quando $V_{GD} = V_{GS(off)}$, cioè quando:

$$V_{GD} = V_{GS} - V_{DS} = -V_{DS} = V_{GS(off)}$$

cioè per:

$$V_{ds} = -V_{gs(off)}$$

essendo $V_{gs} = 0$.

La tensione di pinch-off V_p è, come abbiamo detto, è quel valore di V_{DS} per cui il canale si strozza al drain per $V_{GS} = 0$ e, perciò:

$$V_p = -V_{GS(off)}.$$

In conclusione, sino a quando il canale rimane aperto, la corrente di drain cresce proporzionalmente con V_{DS} . Appena il canale si strozza al drain la corrente di drain non cresce più; ogni ulteriore aumento di V_{DS} strozza ulteriormente il canale e I_D rimane praticamente costante.

Anche in questo caso, se il valore di V_{DS} diventa eccessivo, la giunzione gate/canale si rompe in prossimità del drain.

Se V_{GS} è diversa da zero (e negativa) il canale si strozza al drain per valori di V_{DS} ancora più piccoli, cioè quando:

$$V_{GD} = V_{GS} - V_{DS} = V_{GS(off)}.$$

e quindi per

$$V_{DS}^* = V_{GS} - V_{GS(off)}$$

In sintesi:

- Per $V_{DS} > V_{DS}^*$, il canale al drain è strozzato e I_d rimane approssimativamente costante, anche se V_{DS} varia
- Per $V_{DS} < V_{DS}^*$, il canale è aperto dappertutto e I_d cresce con V_{DS} , in modo quasi proporzionale

E' importante ribadire la differenza tra le tensioni $V_{GS(off)}$ e V_p ; più precisamente:

- la tensione di interdizione $V_{GS(off)}$ è un valore di V_{GS} ; anzi, è quel particolare valore di V_{GS} per cui il canale si strozza dappertutto e la corrente di drain non scorre più.
- la tensione di pinch-off V_p è un valore di V_{DS} ; anzi, è quel valore di V_{DS} per cui, con $V_{GS}=0$, il canale si strozza solo al drain e la corrente di drain rimane costante.

Caratteristiche di drain

Le caratteristiche di drain riportano I_D in funzione di V_{DS} , per un prefissato valore di V_{GS} , come mostra la figura 10.

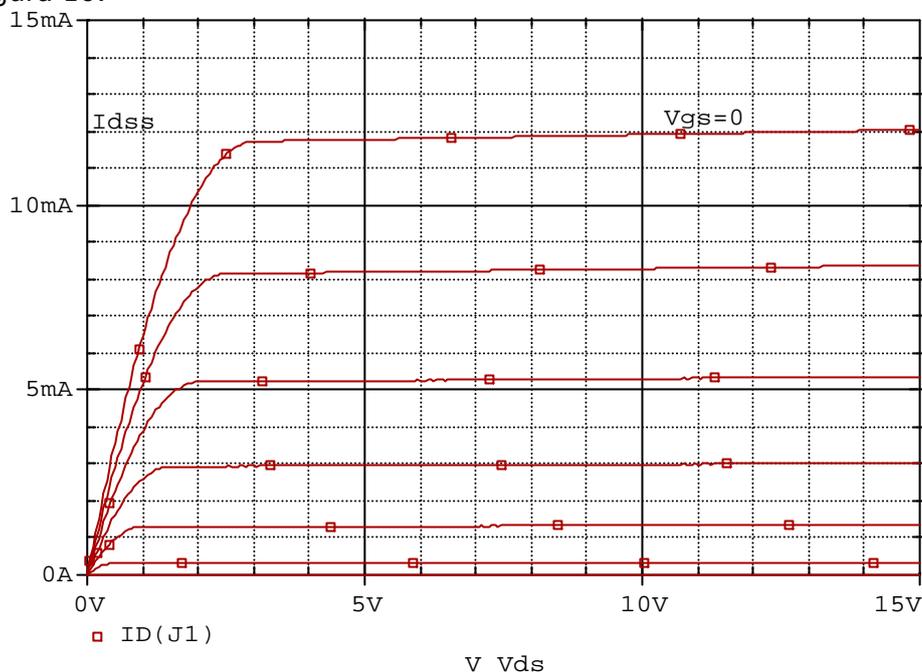


fig.10

Esse evidenziano:

- **una regione ohmica** per $V_{DS} < V_{GS} - V_{GS(off)}$; in questa regione il dispositivo si comporta sostanzialmente come una resistenza controllata da V_{GS} .
- **una regione a corrente costante** per $V_{DS} > V_{GS} - V_{GS(off)}$; In questa zona il JFET si comporta come un generatore di corrente controllato da V_{GS} ; questa regione viene anche chiamata **regione di saturazione della corrente di drain**, o anche **regione attiva**; infatti la corrente fornita dal dispositivo in questa regione è la massima che può

fornire, relativamente ad un determinato valore di V_{GS} . Il valore di I_D per $V_{GS} = 0$ nella regione a corrente costante viene chiamato I_{DSS} e rappresenta la max corrente che il JFET può fornire.

Osserviamo che le caratteristiche non sono affatto equidistanti; ciò significa che il controllo effettuato da V_{GS} su I_D non è lineare

Importante

C'è una grande differenza tra la regione di saturazione dei FET e quella dei BJT; precisamente:

- nei FET la saturazione è dei dispositivi che, in certe condizioni, forniscono la massima corrente che essi sono in grado di erogare; per essere più chiari, un JFET che funziona correttamente non può fornire maggiore di I_{DSS} ; nei FET, la regione di saturazione della corrente di drain coincide con la regione attiva
- nei BJT, a saturare è la rete esterna che pone un limite al massimo valore che può assumere la corrente di collettore; la regione di saturazione dei BJT corrisponde alla regione ohmica dei FET

Caratteristica mutua

La caratteristica mutua (fig.11) riporta l'andamento di I_D al variare di V_{GS} , per un valore di V_{DS} che mantiene il JFET in regione attiva ($V_{DS} > V_{GS} - V_{GS(off)}$); essa ci fa capire in che modo la grandezza di controllo, V_{GS} , controlla la corrente di drain

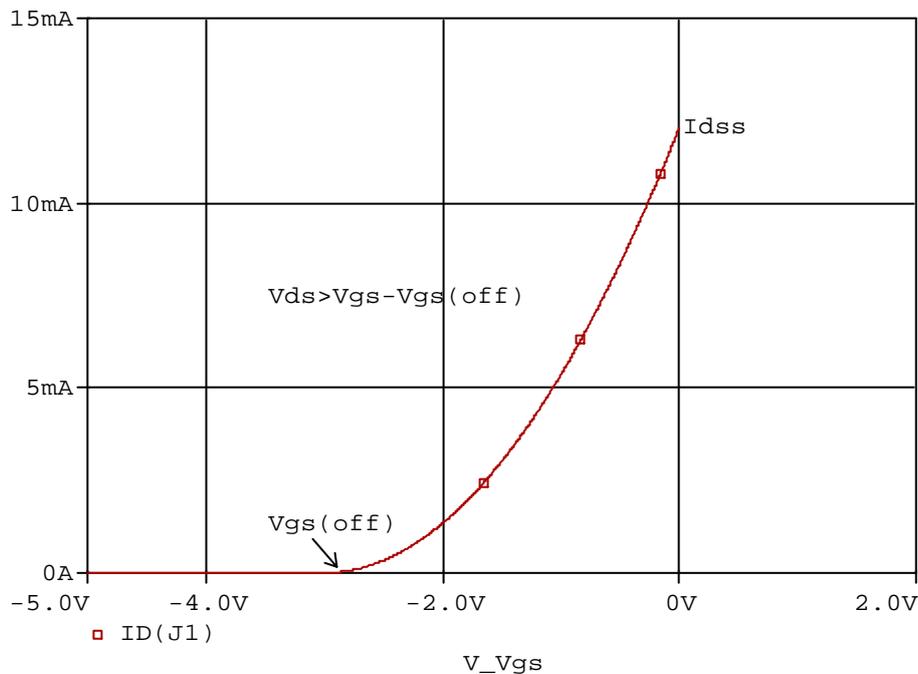


fig.11

La caratteristica mutua è parabolica perché il legame tra I_D e V_{GS} è quadratico, come evidenzia la relazione:

$$I_D = I_{DSS} \left[1 - \frac{V_{GS}}{V_{GS(OFF)}} \right]^2$$

nota come equazione della caratteristica mutua.

Essa evidenzia che, per valori di V_{GS} minori di $V_{GS(off)}$, il JFET è interdetto e che, per $V_{GS}=0$, la corrente di drain è la massima possibile.

Il potere di controllo che ha V_{GS} sulla corrente di drain è misurato dalla **conduttanza mutua gm**, definita come:

$$g_m = \left. \frac{\Delta I_d}{\Delta V_{gs}} \right|_{V_{ds} > V_{gs} - V_{gs(off)}}$$

La conduttanza mutua, sostanzialmente, è la derivata di I_d in funzione di V_{gs} ; essa ci dice quanto rapidamente varia la corrente di drain al variare di V_{gs} .
Derivando l'equazione della caratteristica mutua, otteniamo:

$$g_m = -\frac{2I_{dss}}{V_{gs(off)}} \cdot \left[1 - \frac{V_{gs}}{V_{gs(off)}} \right] = \frac{2I_{dss}}{|V_{gs(off)}|} \cdot \left[1 - \frac{V_{gs}}{V_{gs(off)}} \right]$$

Osserviamo che la conduttanza mutua dipende dal punto di riposo del JFET; essa aumenta quando V_{gs} si approssima a zero, da valori negativi; ciò risulta evidente se si riflette sul significato geometrico di derivata

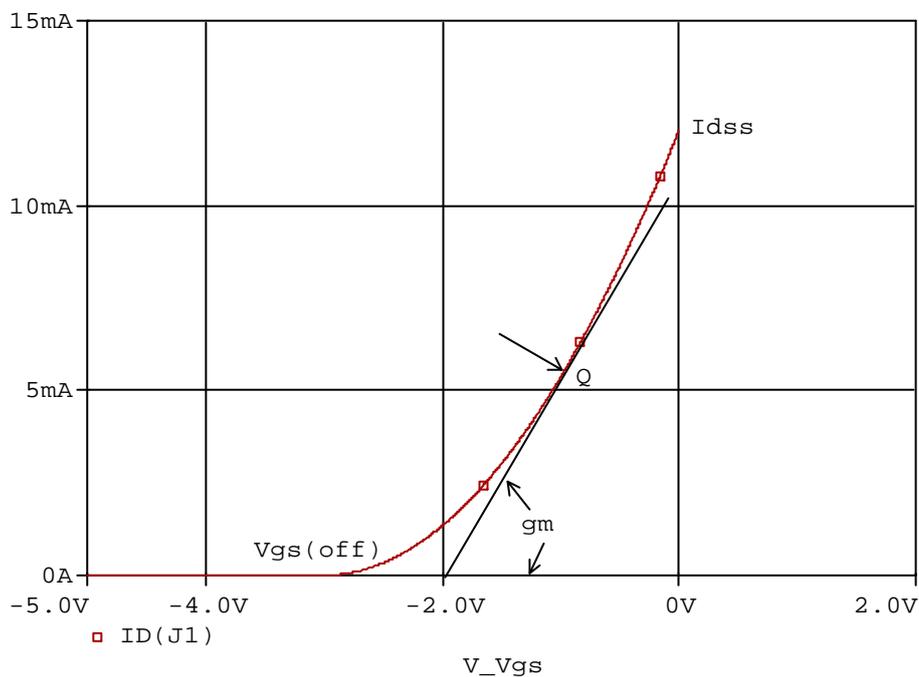


fig.12

Infatti, man mano che il punto di riposo si sposta verso l'alto, la pendenza della tangente alla caratteristica mutua aumenta.

Il valore massimo della conduttanza mutua lo si ha per $V_{gs}=0$; esso vale:

$$g_{m0} = \frac{2I_{dss}}{|V_{gs(off)}|}$$

È importante fare un confronto tra il potere amplificatore dei BJT e quello dei JFET. La caratteristica mutua dei BJT è quella I_c/V_{be} , che è molto ripida in quanto I_c cresce esponenzialmente con V_{be} ; ciò sta ad indicare che il potere di controllo che ha V_{be} su I_c è molto elevato perché piccole variazioni di V_{be} comportano grandi variazioni di I_c . La caratteristica mutua dei JFET, invece, è solo quadratica e ciò significa che il potere di controllo che ha V_{gs} su I_d è decisamente più piccolo di quello che ha V_{be} su I_c ; di conseguenza il potere amplificatore dei JFET è minore di quello dei BJT; essi hanno, però, il vantaggio di non richiedere corrente di pilotaggio.

Polarizzazione del JFET in regione attiva

Noi studieremo le seguenti reti:

- Rete di polarizzazione fissa
- Rete di polarizzazione automatica
- Rete di polarizzazione automatica a partitore (VDB)

Polarizzazione fissa

E' così chiamata perché la tensione di controllo è mantenuta costante ad un valore imposto dalla rete. Nel circuito di figura 13 è :

$$V_{GS} = -V_{GG}$$

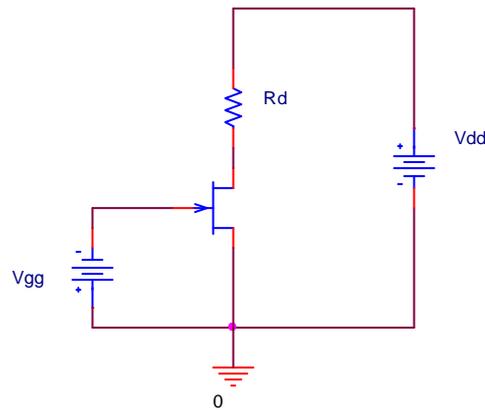


fig.13

Questa rete non è usata perché:

- richiede due alimentazioni distinte (V_{GG} , negativa, non può essere ricavata da $+V_{DD}$)
- per via della dispersione delle caratteristiche, I_D dipende fortemente dal dispositivo.

In figura 14 sono riportate le due posizioni estreme della caratteristica mutua di un JFET, determinate dal fatto che sia I_{DSS} sia $V_{GS(off)}$ possono variare da un valore minimo ad uno massimo, nell'ambito dello stesso dispositivo.

Nella figura è riportata anche la retta di carico mutua; essa è il luogo di tutti i punti del piano I_D/V_{GS} che soddisfano il secondo principio di Kirchoff, applicato alla maglia di gate; la sua equazione è:

$$V_{GS} = -V_{GG}$$

ed è quella di una retta parallela all'asse delle correnti.

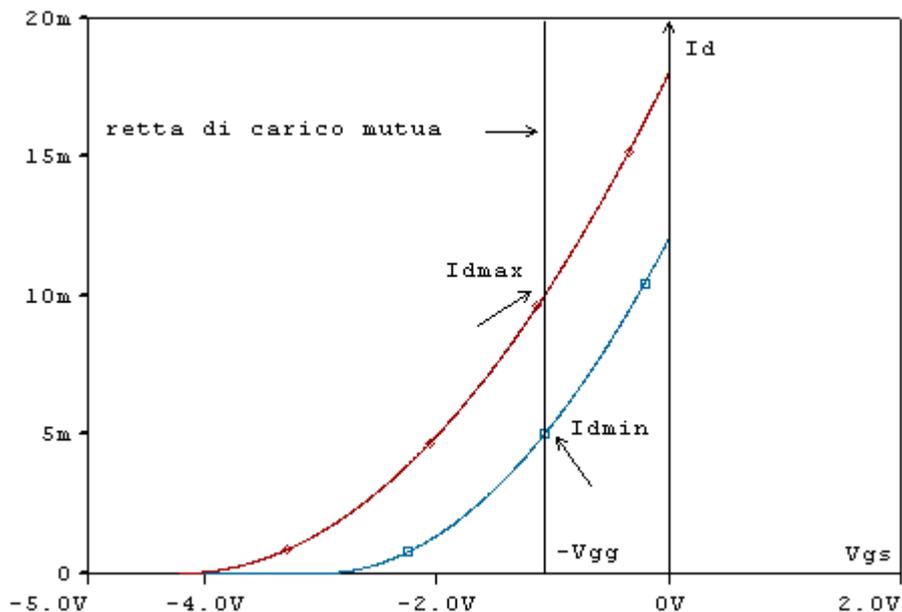


fig.14

Come possiamo vedere, mantenendo costante la tensione di comando V_{gs} , la corrente I_d varia sensibilmente da un dispositivo all'altro ed è scarsamente prevedibile; per questo motivo, la rete di polarizzazione fissa non è praticamente usata.

Polarizzazione automatica del JFET

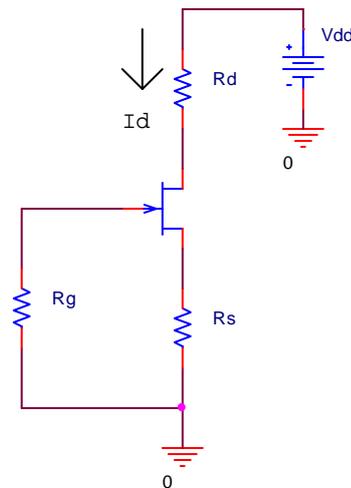


fig. 16

In questa rete di polarizzazione:

- Il gate è posto a 0 V (R_G non è percorsa da corrente perché il gate non assorbe corrente)
- Il source è posto a $+ I_d R_S$.

Di conseguenza:

$$V_{gs} = V_g - V_s = -I_d \cdot R_s < 0$$

Osserviamo che la rete mette il JFET nelle condizioni di funzionare correttamente perché essa garantisce una $V_{gs} < 0$ ed una $V_{ds} > 0$ (il drain è posto verso $+V_{dd}$, mentre il source è posto verso massa).

Il nome di polarizzazione automatica (o autopolarizzazione) è dovuto al fatto che la tensione V_{gs} è determinata dalla stessa I_d che, scorrendo su R_s , determina una caduta che, in valore assoluto, è uguale a V_{gs} .

A che serve R_G se non è percorsa da corrente? Non potremmo sostituirla con un cortocircuito? In generale il gate non può essere posto direttamente a massa, perché spesso, è il terminale di ingresso dell'amplificatore e quindi occorre variarne il potenziale; perciò R_G va mantenuta in modo da porre il gate a zero volt solo staticamente, ma non dinamicamente. Nelle applicazioni in cui il potenziale di gate non deve essere variato, il gate può andare direttamente a massa.

La presenza di R_S effettua un controllo sulla corrente I_D , facendo in modo che essa dipenda poco dalle caratteristiche del dispositivo. Infatti:

- se nel circuito inseriamo un JFET che tende a dare parecchia corrente, allora $I_D R_S$ tende ad essere più elevata e V_{GS} tende ad essere più negativa e quindi il canale è più stretto.
- se nel circuito inseriamo un JFET che tende a dare poca corrente, allora $I_D R_S$ è più piccola e V_{GS} tende a essere meno negativa e quindi il canale è più largo.

In definitiva, questa rete tende a sfavorire i JFET che danno più corrente, facendoli lavorare con una V_{gs} più negativa e, quindi, con un canale più stretto; viceversa favorisce quelli che tendono a dare meno corrente, facendoli lavorare con una V_{gs} meno negativa e, quindi, con un canale più largo; in questo modo il circuito effettua una specie di controllo automatico su I_d , che viene a dipendere più dalla rete che dal dispositivo.

Ciò risulta evidente anche dalla fig. 17.

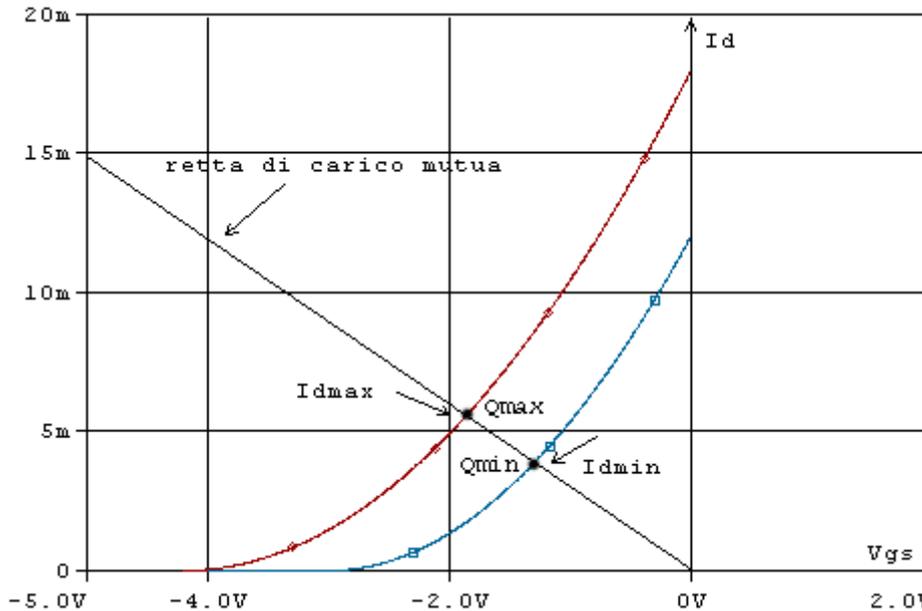


fig. 17

Nella fig.17 è stata tracciata la retta di carico mutua, che, al solito, proviene dall'applicazione del secondo principio di Kirchoff alla maglia di gate; essa ha equazione:

$$0 = V_{gs} + R_s \cdot I_d$$

dato che la caduta su R_s è nulla; esplicitando I_d , troviamo:

$$I_d = -\frac{V_{gs}}{R_s}$$

che è l'equazione di una retta passante per l'origine e di pendenza $-\frac{1}{R_s}$.

Il punto di riposo del JFET è dato dall'intersezione tra la retta di carico e la caratteristica mutua; le sue posizioni estreme sono rispettivamente Q_{max} e Q_{min} ; come possiamo vedere, il JFET che tende a dare più corrente (caratteristica rossa) viene fatto lavorare con una V_{gs} più negativa, mentre quello che tende a dare meno corrente ha una V_{gs} meno negativa; ciò conferma il controllo effettuato dalla R_s sulla I_d che risente meno della dispersione delle caratteristiche; e infatti, la differenza tra I_{dmax} e I_{dmin} risulta minore che nella rete di polarizzazione fissa.

Il grado di controllo della R_s su I_d aumenta al crescere di R_s ; infatti, maggiore è R_s e minore è la pendenza della R_s e minore risulta la differenza tra I_{dmax} e I_{dmin} .

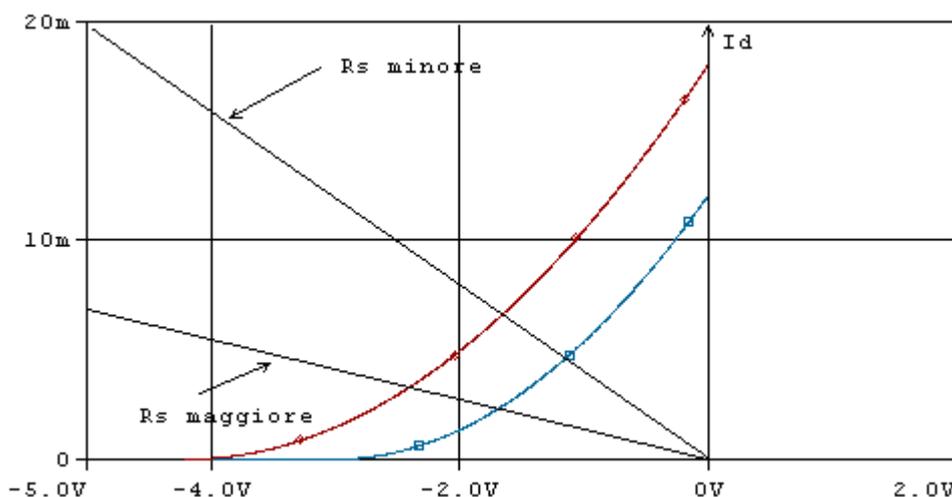


fig.18

Progetto della rete di autopolarizzazione

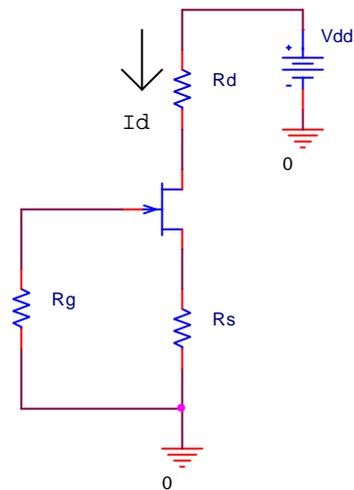


fig.17

Per progettare la rete bisogna conoscere:

- il valore di Vdd
- il valore della corrente di drain in regione attiva Idq
- il tipo di JFET utilizzato

Il valore di Vgs a riposo (Vgsq) può essere determinato:

- graficamente, se si ha a disposizione la caratteristica mutua del dispositivo, come in fig. 18; la caratteristica che si utilizza è quella tipica.

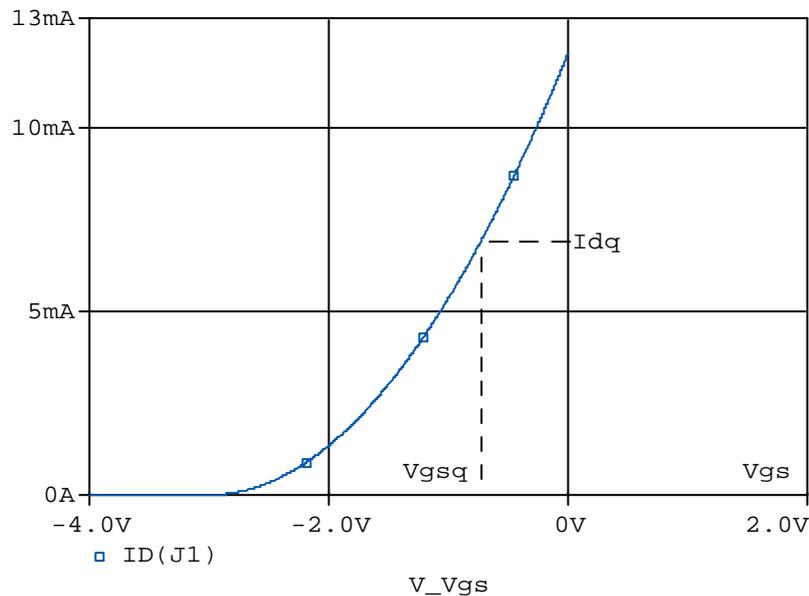


fig.18

- oppure analiticamente, utilizzando l'equazione della caratteristica mutua:

$$I_D = I_{DSS} \left[1 - \frac{V_{GS}}{V_{GS(OFF)}} \right]^2$$

da cui ricaviamo:

$$V_{gsq} = V_{gs(off)} \cdot \left(1 - \sqrt{\frac{I_{dq}}{I_{DSS}}} \right)$$

Una volta ricavata V_{gsq} , o graficamente oppure analiticamente, si può ricavare R_s dall'equazione della retta di carico mutua:

$$R_s = -\frac{V_{gsq}}{I_{dq}}$$

Cosa succede al variare di R_d ? Nulla, o quasi, sino a quando il JFET rimane in zona attiva.

Sino a quando, infatti, il JFET lavora in regione attiva, la caratteristica mutua rimane praticamente invariata e quindi il punto di riposo non si sposta. All'aumentare di R_d , perciò il JFET si comporta da generatore di corrente. Questo è vero sino a quando:

$$V_{ds} > V_{gs} - V_{gs(off)}$$

Nella maglia di drain abbiamo:

$$V_{dd} = I_d \cdot R_d + V_{ds} + I_d \cdot R_s$$

da cui ricaviamo:

$$V_{ds} = V_{dd} - I_d \cdot R_d - I_d \cdot R_s = V_{dd} - I_d \cdot R_d + V_{gs}$$

perché $V_{gs} = -I_d \cdot R_s$. Perciò il JFET è in zona attiva sino a quando:

$$V_{dd} - I_d \cdot R_d + V_{gs} > V_{gs} - V_{gs(off)}$$

cioè sino a quando:

$$R_d < \frac{V_{dd} + V_{gs(off)}}{I_d}$$

Se R_d oltrepassa questo valore, il JFET entra in regione ohmica e la corrente di drain comincia a diminuire.

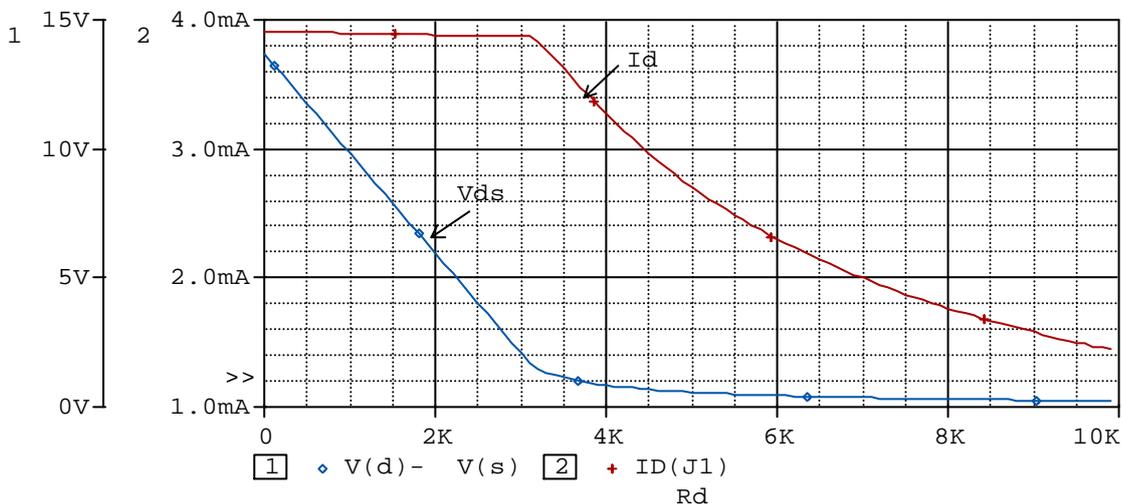


fig.19

La figura 19 riporta l'andamento di I_d al variare di R_d da 0 a 10k nel circuito di fig.17, con $R_s=330$, $R_g=100k$ e $V_{dd}=15V$; il JFET utilizzato è il 2N3819; il diagramma mostra che I_d rimane costante a circa 3.9mA sino a quando R_d non oltrepassa i 3kΩ; quando ciò accade il transistor entra in regione ohmica.

La figura mostra anche l'andamento di V_{ds} che, contestualmente all'aumento di R_d , diminuisce; quando V_{ds} scende al di sotto di un certo valore, il JFET entra in regione ohmica.

Determinazione del punto di riposo (è nota la rete esterna)

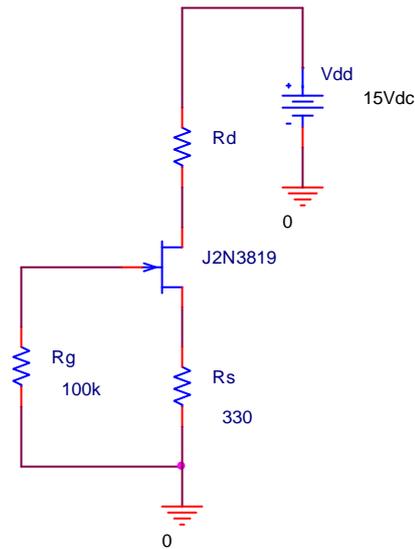


fig.20

Supponiamo di conoscere la rete esterna di autopolarizzazione, come in fig.20, e di voler determinare il valore di I_d in regione attiva. La ricerca di I_d può essere effettuata in modo:

- grafico, se abbiamo a disposizione la caratteristica mutua
- oppure analitico; in questo caso occorre conoscere I_{dss} e $V_{gs(off)}$

La **ricerca grafica** è senz'altro la più comoda; per effettuarla bisogna tracciare la retta di carico mutua che, ricordiamo, ha equazione:

$$I_d = -\frac{V_{gs}}{R_s}$$

Essa passa per l'origine e, perciò, per tracciarla basta individuare un altro dei suoi punti; ad esempio, individuamo il punto P della retta di carico che ha ascissa $V_{gs} = -3V$; la sua ordinata è:

$$I_d = -\frac{V_{gs}}{R_s} = -\frac{-3V}{330} = 9mA$$

Unendo l'origine con il punto P (-3V, 9mA) si ottiene la retta di carico; essa interseca la caratteristica mutua nel punto di riposo Q di coordinate $V_{gsq} = -1.3V$, $I_{dq} = 3.88mA$ (fig.21)

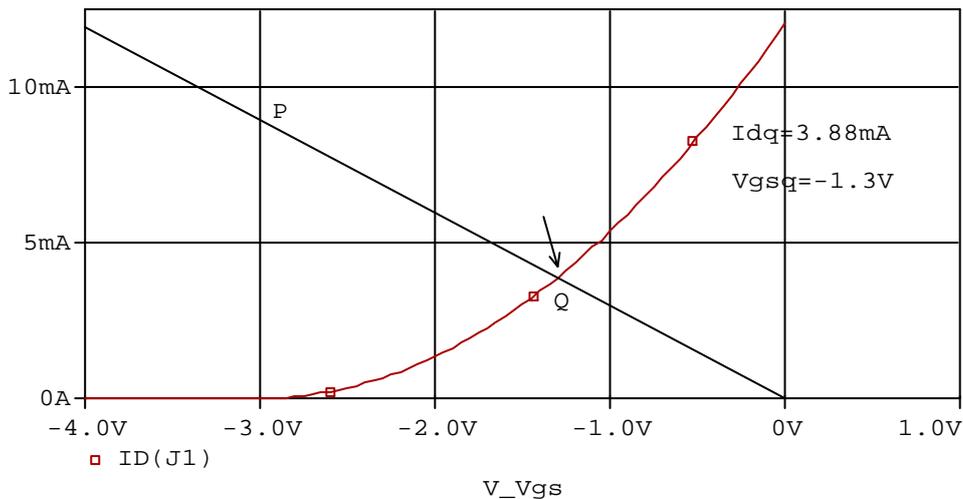


fig.21

Osserviamo che per determinare I_{dq} e V_{gsq} abbiamo tirato in ballo due "oggetti", la caratteristica mutua e la retta di carico.

Per effettuare la ricerca analitica si utilizzano gli stessi due "oggetti" in forma di equazioni; nel senso che andiamo a risolvere il sistema:

$$\begin{cases} I_D = -\frac{V_{GS}}{R_S} \\ I_D = I_{DSS} \left[1 - \frac{V_{GS}}{V_{GS(OFF)}} \right]^2 \end{cases}$$

visto che il punto di riposo, trovandosi sia sulla retta di carico che sulla caratteristica mutua, deve soddisfare entrambe le equazioni. La soluzione del sistema è:

$$I_D = I^* \cdot \left[A - \sqrt{(A^2 - 1)} \right]$$

dove $I^* = \frac{|V_{GS(off)}|}{R_S}$ e $A = 1 + \frac{I^*}{2 \cdot I_{DSS}}$

Nel nostro caso, la soluzione del sistema è $I_D \approx 3.75\text{mA}$; il valore di V_{GS} lo ricaviamo da

$$V_{GS} = -R_S \cdot I_D = -1.23\text{V}$$

La leggera differenza rilevata nelle due soluzioni è dovuta alle inevitabili approssimazioni compiute.

Bisogna osservare che, affinché il JFET sia in regione attiva, è necessario che il valore di R_D non superi quello massimo consentito; cioè, il JFET è in regione attiva se:

$$R_D < \frac{V_{DD} + V_{GS(off)}}{I_D}$$

Polarizzazione automatica a partitore (Rete VDB)

Nella rete di autopolarizzazione (fig.20), una volta scelto il punto di riposo:

- la retta di carico risulta imposta perché essa passa di sicuro per l'origine e, ovviamente, per il punto di riposo
- quindi risultano imposti la pendenza della retta di carico e, perciò, il valore di R_S
- risulta imposto il grado di controllo che R_S esercita su I_D .

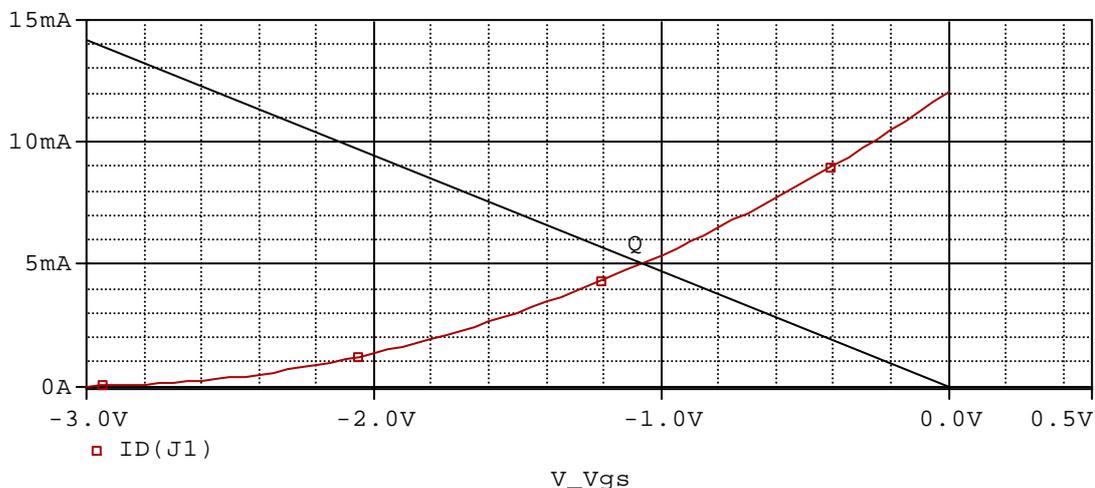


fig.22

In fig. 22 sono rappresentati il punto di riposo Q ($I_{dQ}=5\text{mA}$, $V_{gsq}=-1.1\text{V}$) che si vuole ottenere e la retta di carico che, come abbiamo già detto, passa per il punto di riposo e per l'origine; il valore di R_s è, allora, determinato ed è :

$$R_s = -\frac{V_{gsq}}{I_{dQ}} = -\frac{-1.1\text{V}}{5 \cdot 10^{-3}} = 220\Omega$$

Se vogliamo ottenere un valore di R_s maggiore, per garantirci un controllo maggiore, dobbiamo scegliere un valore di I_{dQ} minore, in modo da ridurre la pendenza della retta di carico.

E se volessimo lasciare inalterato il punto di riposo e, contemporaneamente, aumentare il valore di R_s , diminuendo così la pendenza? In questo caso, la retta di carico non potrebbe passare più per l'origine e dovrebbe intercettare l'asse delle ascisse nel punto $V_{gs}=V_{gg}$ (fig.23)

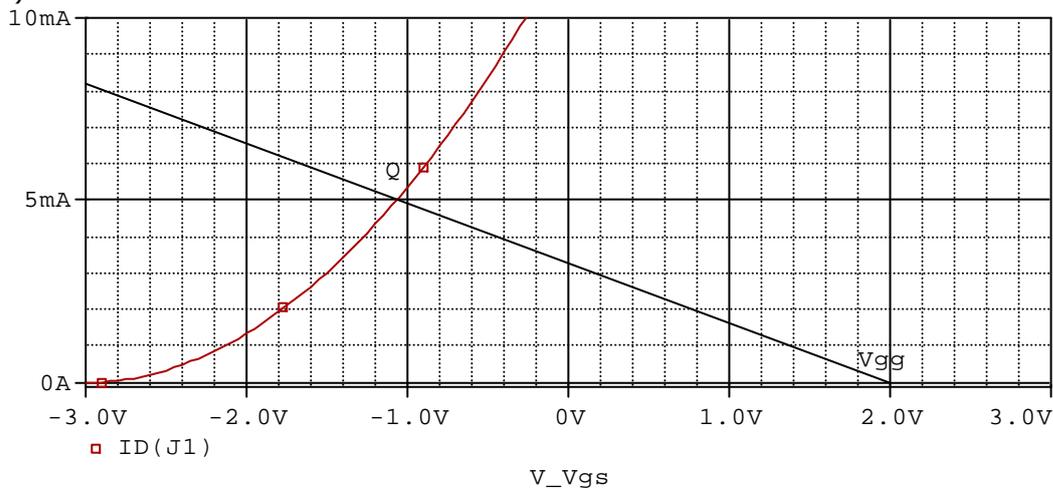


fig.23

Ciò equivale a inserire, nella rete di polarizzazione di fig. 20, una tensione continua $+V_{gg}$, come in fig. 24, facendo in modo che sia $V_{gg} < I_d \cdot R_s$, affinché sia $V_{gs} < 0$

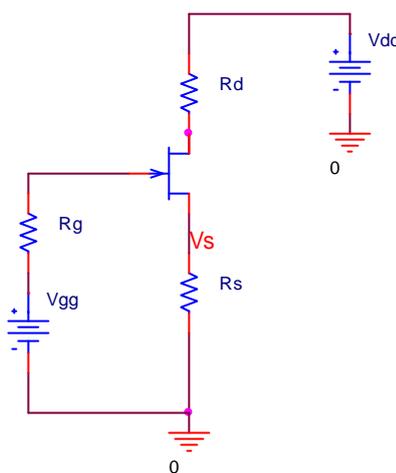


fig.24

Maggiore è il valore di R_g , più piccola è la pendenza della retta di carico mutua, più elevato è il valore di R_s e più grande è il controllo esercitato da R_s sulla I_d .

Ovviamente V_{dd} può essere ottenuta da V_{dd} mediante un partitore di tensione per cui, in definitiva, otteniamo la rete VDB del JFET (fig.25)

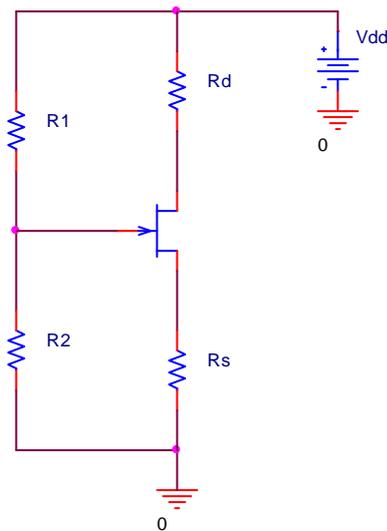


fig.25

Progetto della rete VDB del JFET

Per effettuare il progetto, bisogna conoscere:

- il valore della corrente I_d che si vuole ottenere in regione attiva (o di saturazione della corrente)
- il valore di V_{dd}
- il JFET
- il valore di R_s (o qualcosa di analogo)

Anche in questo caso, dalla conoscenza di I_d in regione attiva, dapprima, ci si ricava il valore di V_{gs} o in modo grafico (dalla caratteristica mutua) o in modo analitico (dall'equazione della caratteristica mutua); successivamente:

- si determina $V_{R2} = V_{gg} = V_{gs} + I_d \cdot R_s$
- si impone $R_1 + R_2 = 1M\Omega$ o un altro valore comunque elevato e quindi si ricava la corrente I_1 che scende nel partitore R1-R2 da $I_1 = \frac{V_{dd}}{R_1 + R_2}$
- si ricava $R_2 = \frac{V_{R2}}{I_1} = V_{gg} \cdot \frac{R_1 + R_2}{V_{dd}}$ e quindi R_1

Anche stavolta, al variare di R_d , la corrente I_d rimane costante al variare di R_d , sino a quando il JFET rimane in zona attiva; cioè sino a quando:

$$V_{ds} > V_{gs} - V_{gs(off)}$$

Poiché $V_{ds} = V_{dd} - I_d \cdot R_d - I_d \cdot R_s$, otteniamo:

$$V_{dd} - I_d \cdot R_d - I_d \cdot R_s > V_{gs} - V_{gs(off)}$$

In definitiva, il JFET è in zona attiva sino a quando:

$$R_d < \frac{V_{dd} - V_{gs} - I_d \cdot R_s + V_{gs(off)}}{I_d}$$

cioè sino a quando risulta:

$$R_d < \frac{V_{dd} - V_{R2} + V_{gs(off)}}{I_d}$$

Determinazione del punto di riposo (è nota la rete VDB)

Adesso occupiamoci del problema opposto; supponiamo cioè di conoscere la rete esterna e di voler determinare il valore di R_d in zona attiva, come in fig. 26

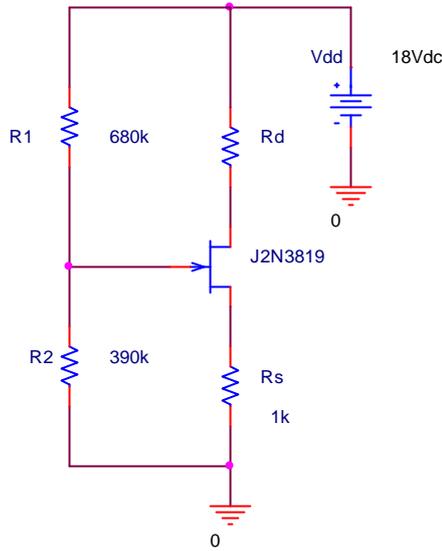


fig.26

Al solito possiamo procedere per via grafica o analitica. Determiniamo il valore di I_d in regione attiva dapprima **per via grafica**; per farlo occorre tracciare la retta di carico mutua; essa ha equazione:

$$V_{R2} = V_{GS} + I_d \cdot R_s$$

da cui ricaviamo:

$$I_d = \frac{V_{R2} - V_{GS}}{R_s}$$

Il valore di V_{R2} è:

$$V_{R2} = V_{dd} \cdot \frac{R_2}{R_1 + R_2} = 6.56V$$

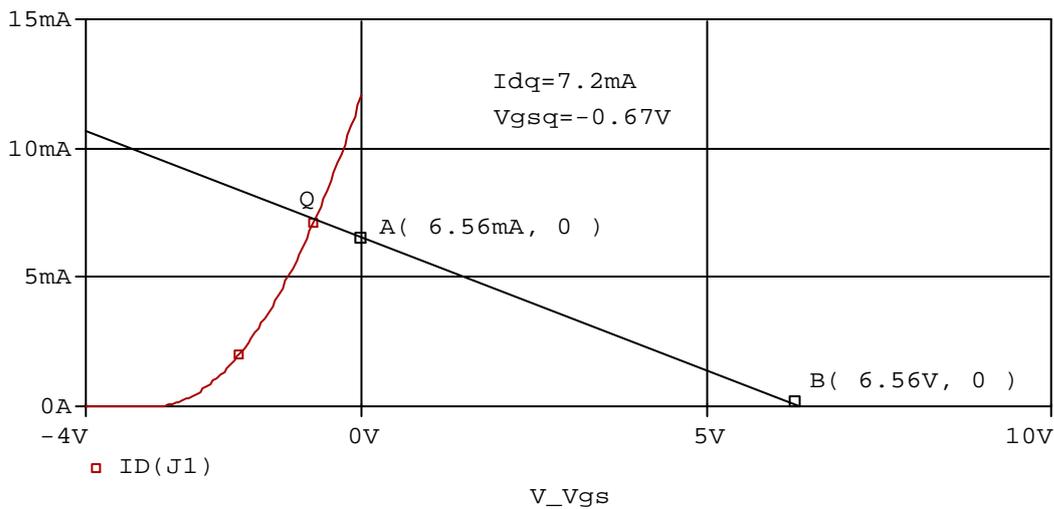


fig.27

La retta di carico (fig. 27) interseca l'asse delle correnti nel punto A di coordinate:

$$V_{R2} = V_{gg} = V_{dd} \cdot \frac{R_2}{R_1 + R_2} = 6.56V$$

e l'asse delle tensioni nel punto B di coordinate:

$$I_d = 0 \quad V_{gs} = V_{gg}$$

Tracciando la retta di carico, possiamo determinare il punto di riposo Q, che è l'intersezione tra la retta di carico e la caratteristica mutua; dalla fig. 27, osserviamo che il punto di riposo ha coordinate **$I_{dq} = 7.2\text{mA}$ e $V_{gsq} = -0.67\text{V}$**

Il punto di riposo può essere determinato anche **in modo analitico**, mettendo a sistema le equazioni della caratteristica mutua e della retta di carico mutua:

$$\begin{cases} I_d = \frac{V_{R2} - V_{gs}}{R_s} \\ I_D = I_{DSS} \left[1 - \frac{V_{GS}}{V_{GS(OFF)}} \right]^2 \end{cases}$$

La soluzione del sistema è:

$$I_d = I^* \cdot \left[(A + k) - \sqrt{((A + k)^2 - (1 + k)^2)} \right]$$

dove $k = \frac{V_{R2}}{V_{GS(off)}}$, $I^* = \frac{|V_{GS(off)}|}{R_s}$ e $A = 1 + \frac{I^*}{2 \cdot I_{DSS}}$.

Nel nostro caso $V_{gs(off)} = -2.8\text{V}$, $I_{DSS} = 12\text{mA}$ e, perciò $k = 2.343$. $I^* = 2.8\text{mA}$ e $A = 1.12$ che portano a $I_{dq} \approx 7.2\text{mA}$, come nella soluzione grafica.

A questo punto, dall'equazione della maglia di gate, possiamo ricavare:

$$V_{gs} = V_{R2} - I_d \cdot R_s$$

Anche in questo caso bisogna osservare che il JFET è in regione attiva sino a quando il valore di R_d non supera quello massimo consentito; cioè, il JFET è in regione attiva se:

$$R_d < \frac{V_{dd} - V_{R2} + V_{GS(off)}}{I_d}$$

MOS- FET

MOS-FET significa FET metallo, ossido, semiconduttore; la sigla proviene dalla struttura interna del dispositivo.

Abbiamo due tipi di MOS-FET:

- MOS-FET ad arricchimento (o ENHANCEMENT)
- MOS-FET a svuotamento (o DEPLETION)
-

Per ciascun tipo abbiamo le due versioni, a canale N ed a canale P.

MOS- FET ad arricchimento (E-MOS)

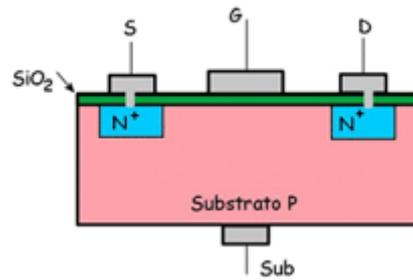


fig. 28

Il MOS ad arricchimento a canale N (fig.28) è formato da:

- un substrato di tipo P, debolmente drogato.
- due isole di tipo N⁺ che vengono realizzate all'interno del substrato; esse costituiscono le regioni di drain e source.
- uno strato sottile di biossido di silicio (SiO₂) fortemente isolante, che copre la superficie superiore del dispositivo. Come mostra la figura, vengono lasciate due "aperture" in corrispondenza delle regioni di source e di drain.
- due elettrodi metallici realizzati in corrispondenza delle rispettive regioni e in contatto elettrico con esse.
- un elettrodo di gate realizzato al di sopra dello strato di ossido, in corrispondenza del substrato.

Osserviamo che:

- l'elettrodo di gate è completamente isolato dal resto del semiconduttore, per via dello strato di ossido che li separa; perciò **la corrente di gate nei MOS è nulla** in tutte le condizioni di funzionamento normale.
- lo strato di ossido è molto sottile e si perfora facilmente (i MOS vanno maneggiati con cura)
- il MOS può presentarsi come un dispositivo a 4 terminali, in cui il source ed il drain sono completamente intercambiabili.
- molto spesso il substrato è connesso internamente con il source e quindi il MOS in questo caso è un dispositivo a 3 terminali in cui il source ed il drain non sono più intercambiabili (il source è il terminale connesso con il substrato!)

Da ora in poi noi supporremo di avere a che fare con MOSFET a 3 terminali.

Funzionamento

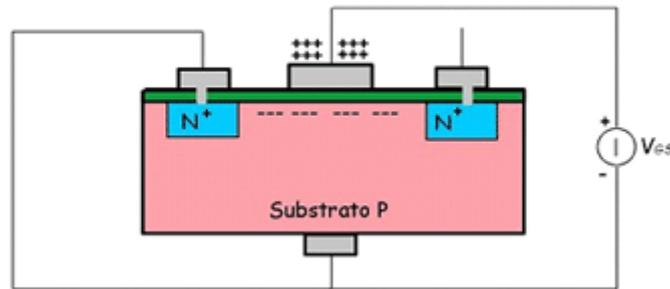


fig. 29

Per far funzionare correttamente un MOS ad arricchimento occorre applicare **una tensione di arricchimento tra gate e substrato**.

La tensione di arricchimento è la tensione V_{GS} , (source e substrato sono connessi insieme). In conseguenza della tensione applicata il gate e la zona di substrato sottostante si caricano nel modo indicato in fig. 29, comportandosi come le due armature di un condensatore; ciò accade perché V_{GS} preleva elettroni dal gate metallico portandoli nel substrato, che se ne arricchisce (da qui la dicitura "ad arricchimento") , formando perciò il canale N.

Occorre osservare che per formare il canale bisogna portare nel substrato un numero rilevante di elettroni; in pratica affinché il canale si formi davvero, V_{GS} deve superare una soglia minima, chiamata $V_{GS(TH)}$ (dall'inglese "threshold"=soglia), il cui valore tipico è intorno ai 3 V.

Per il corretto funzionamento del MOS **bisogna** inoltre **polarizzare inversamente le due giunzione interne**, ovvero quelle tra le isole ed il substrato, altrimenti la corrente si disperde nel substrato. Nei MOS a 3 terminali la giunzione tra source e substrato sicuramente non condurrà, perché source e substrato sono connessi tra loro e di conseguenza la giunzione è cortocircuitata. Resta però da polarizzare inversamente la giunzione del Sub P con la regione di drain; per assicurarsi che tale giunzione non conduca, è sufficiente porre $V_{DS} > 0$.

In definitiva, per far funzionare correttamente un MOS ad arricchimento a canale N occorre applicare:

- tra gate e source una tensione $V_{GS} > V_{GS(TH)}$
- tra drain e source una tensione $V_{DS} > 0$

Il simbolo del MOSFET ad arricchimento a 3 terminali a canale N (N E-MOS) è riportato in fig. 30

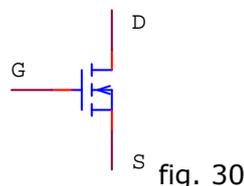


fig. 30

Il simbolo evidenzia che:

- in assenza di tensione di arricchimento il canale N è assente; esso infatti è rappresentato da tre segmenti staccati
- il gate è totalmente isolato dal canale
- il substrato è connesso al source
- il canale è di tipo N perché la freccia punta verso di esso

Il simbolo del MOSFET ad arricchimento a 3 terminali a canale P (P E-MOS) è riportato in fig. 31

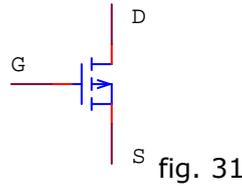


fig. 31

In questo caso la freccia punta verso il substrato di tipo N mentre il canale è di tipo P; per far funzionare correttamente un P E-MOS occorre applicare:

- tra source e gate una tensione $V_{gs} > V_{gs(TH)}$
- tra source e drain una tensione $V_{ds} > 0$

Caratteristiche di drain

Le caratteristiche di drain riportano I_D in funzione di V_{DS} , per un prefissato valore di V_{GS} , come mostra la figura 32.

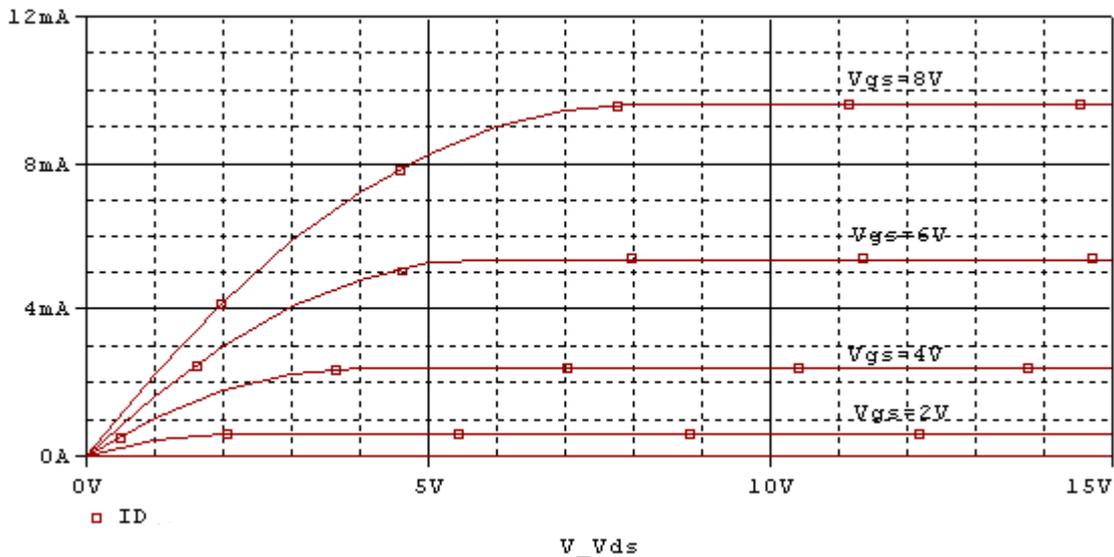


fig.32

Anche nei MOS esse evidenziano:

- una regione ohmica in cui il MOS si comporta da resistenza controllata in tensione (V_{gs});
- una regione a corrente costante (attiva o di saturazione della corrente) in cui il MOS si comporta da generatore di corrente comandato da V_{gs}
- che il comando effettuato dalla V_{gs} sulla corrente di drain, in regione attiva, non è lineare ma quadratico (le caratteristiche non sono equidistanti)

Analogamente a quanto accade nei JFET, il MOSFET ad arricchimento è in regione:

- ohmica per $V_{ds} < V_{gs} - V_{gs(TH)}$; in questa regione il canale è aperto dappertutto
- attiva per $V_{ds} > V_{gs} - V_{gs(TH)}$; in questa regione il canale è strozzato al drain o anche prima

Caratteristica mutua

La caratteristica mutua (fig. 33) riporta l'andamento di I_d al variare di V_{gs} , per un valore di V_{ds} che mantiene il MOS in regione attiva ($V_{ds} > V_{gs} - V_{gs(TH)}$); essa ci fa capire in che modo la grandezza di controllo, V_{gs} , controlla la corrente di drain

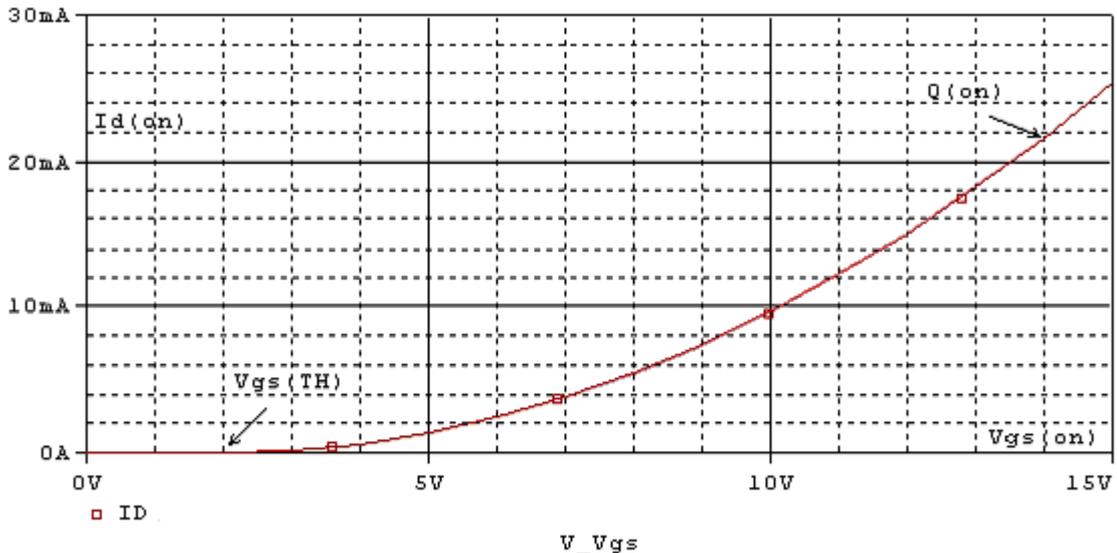


fig.33

Il controllo che la V_{GS} esercita su I_D è quadratico ed è espresso dalla relazione funzionale :

$$I_d = I_d(on) \cdot \left[\frac{V_{gs} - V_{gs(TH)}}{V_{gs(on)} - V_{gs(TH)}} \right]^2$$

$I_{d(on)}$ e $V_{gs(on)}$ sono le coordinate di un punto di riposo $Q_{(on)}$ in cui il MOS è in piena conduzione.

MOS- FET a svuotamento (D-MOS)

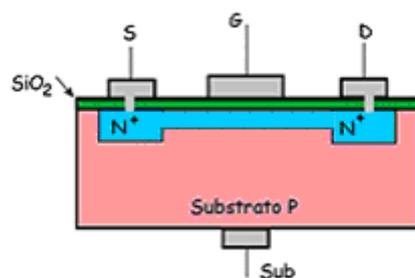


fig. 34

Anche il MOS a svuotamento (DMOS) esiste nelle due versioni, a canale N e a canale P; come mostra la fig. 34, in cui è riportato un DMOS a canale N, nei NMOS a svuotamento c'è un canale preesistente, debolmente drogato, al contrario dei MOS ad arricchimento in cui il canale è assente.

La presenza del canale già formato consente al DMOS di lavorare:

- **a svuotamento**, con valori negativi di V_{gs} ; in queste condizioni il canale viene impoverito di elettroni e la corrente di drain viene ridotta; se il valore di V_{gs} diventa sufficientemente negativo, il canale viene svuotato completamente di elettroni e il DMOS si interdice. Il valore di V_{gs} per cui il canale si svuota del tutto si chiama $V_{gs(off)}$, come nei JFET a cui i DMOS somigliano, quando lavorano a svuotamento

- **ad arricchimento**, con valori positivi di V_{GS} ; in queste condizioni il DMOS si comporta come un MOS ad arricchimento con tensione di soglia nulla, perché il canale è già formato e, quindi, non deve verificarsi alcun fenomeno di inversione

Il simbolo del DMOS a canale N e del DMOS a canale P sono riportati in fig. 35

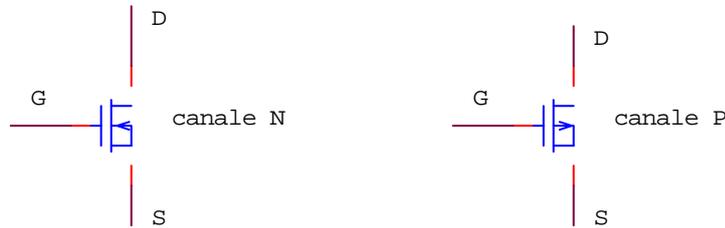


fig. 35

Come possiamo verificare, il simbolo del componente è del tutto simile a quello del MOS ad arricchimento, a parte il fatto che qui il canale è disegnato a tratto pieno, dato che è già preesistente.

In definitiva, un NDMOS può lavorare:

- a svuotamento con $V_{GS} < 0$ e $V_{DS} > 0$; V_{DS} deve essere maggiore di zero per impedire alle giunzioni interne di condurre
- ad arricchimento con $V_{GS} > 0$ e $V_{DS} > 0$

Caratteristiche di drain

Al solito le caratteristiche di drain riportano I_D in funzione di V_{DS} , per un prefissato valore di V_{GS} , come mostra la figura 36; per valori di V_{GS} negativi il DMOS lavora a svuotamento mentre per $V_{GS} > 0$ il MOS funziona ad arricchimento

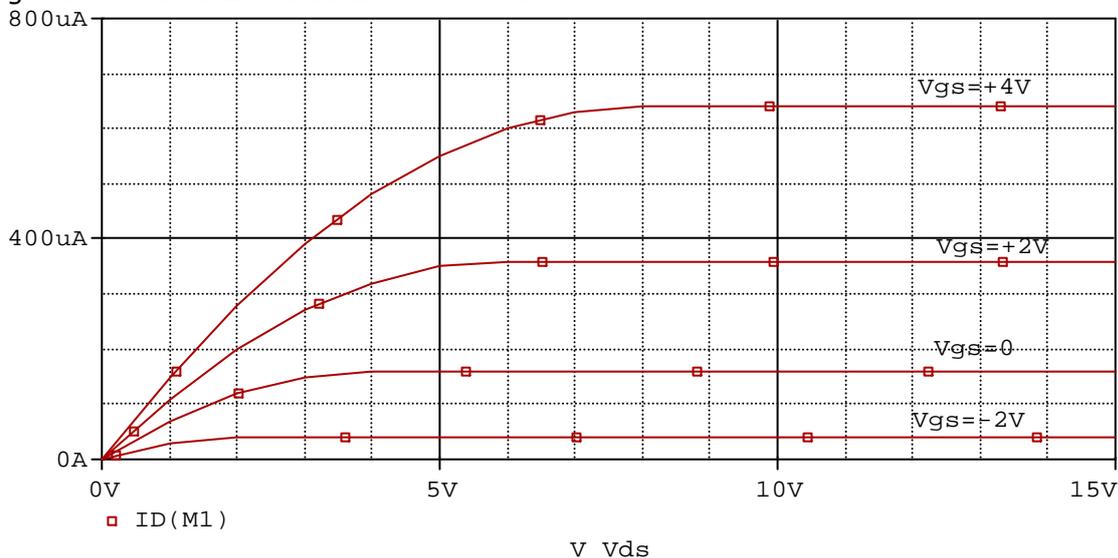


fig.36

Anche nei DMOS esse evidenziano:

- una regione ohmica in cui il DMOS si comporta da resistenza controllata in tensione (V_{GS});
- una regione a corrente costante (attiva o di saturazione della corrente) in cui il DMOS si comporta da generatore di corrente comandato da V_{GS}
- che il comando effettuato dalla V_{GS} sulla corrente di drain, in regione attiva, non è lineare ma quadratico (le caratteristiche non sono equidistanti)

Analogamente agli altri FET, il MOSFET a svuotamento è in regione:

- ohmica per $V_{ds} < V_{gs} - V_{gs(off)}$; in questa regione il canale è aperto dappertutto
- attiva per $V_{ds} > V_{gs} - V_{gs(off)}$; in questa regione il canale è strozzato al drain o anche prima

Caratteristica mutua

La caratteristica mutua (fig. 37) riporta l'andamento di I_D al variare di V_{gs} , per un valore di V_{ds} che mantiene il MOS in regione attiva ($V_{ds} > V_{gs} - V_{gs(off)}$); essa, al solito, ci fa capire in che modo la grandezza di controllo, V_{gs} , controlla la corrente di drain e se il MOS sta lavorando ad arricchimento o a svuotamento

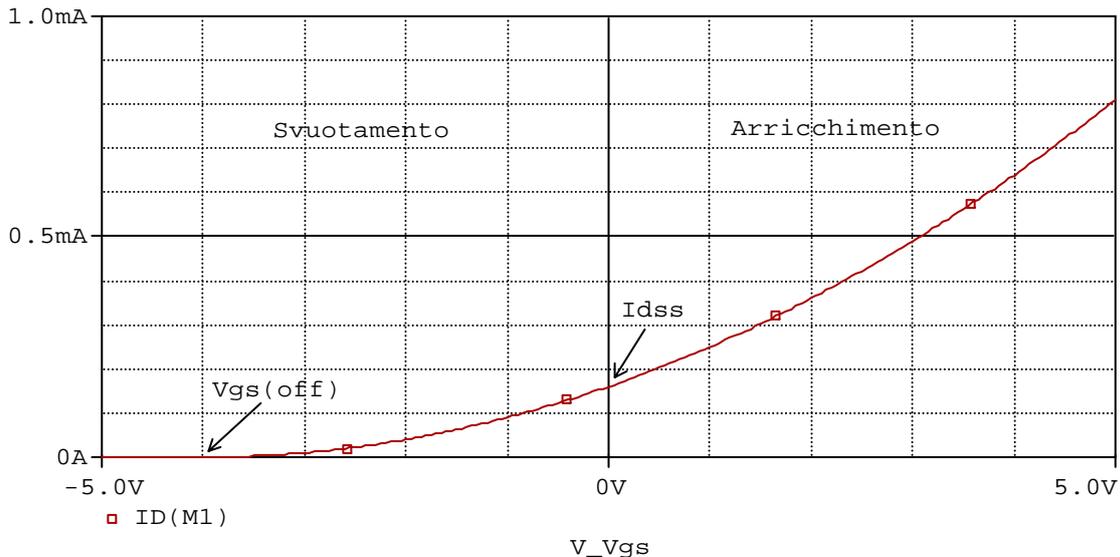


fig.37

La caratteristica mutua è quadratica come negli altri FET; la sua equazione è la stessa dei JFET:

$$I_D = I_{DSS} \left[1 - \frac{V_{GS}}{V_{GS(OFF)}} \right]^2$$

Polarizzazione dei MOSFET

Quando si polarizza un MOSFET, è importante tener conto del tipo di canale e del segno di V_{gs} e V_{ds} ; più precisamente:

- i MOS ad arricchimento a canale N e i MOS a svuotamento a canale N, che funzionano ad arricchimento, richiedono valori positivi sia di V_{gs} che di V_{ds} ; i MOS a canale P richiedono valori positivi di V_{gs} e V_{sd}
- i MOS a svuotamento a canale N, che lavorano a svuotamento, richiedono $V_{gs} < 0$ e $V_{ds} > 0$; i MOS a canale P richiedono $V_{gs} < 0$ e $V_{sd} > 0$

Polarizzazione dei MOS ad arricchimento e dei DMOS che lavorano ad arricchimento

Per polarizzare questi dispositivi non si può usare la rete di autopolarizzazione dei JFET, perché questa rete determina valori di V_{gs} e di V_{ds} di segno opposto. Le reti di polarizzazione usate per questi dispositivi sono:

- **la rete di polarizzazione fissa** che, però, non garantisce alcun controllo sulla corrente di drain: in fig. 38 è riportata la rete di polarizzazione fissa di un NE-MOS e di un ND-MOS

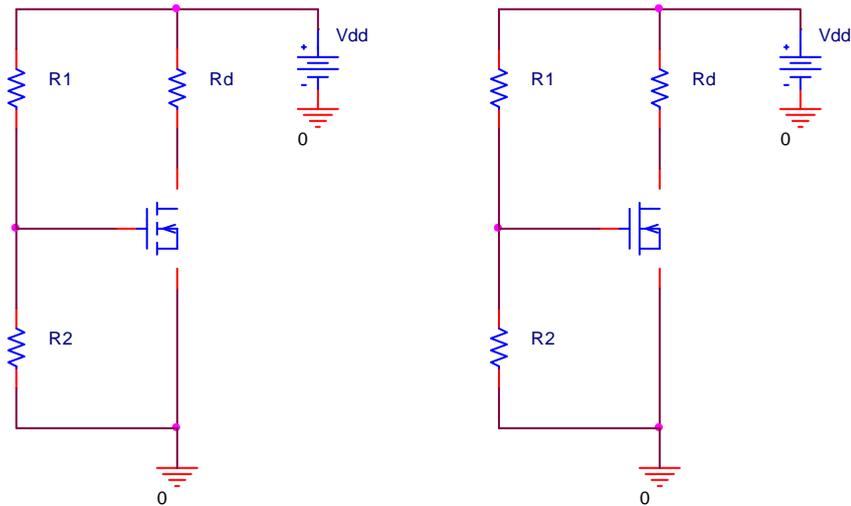


fig. 38

- la rete VDB in cui il partitore è progettato in modo che sia $V_{gs} > 0$ nel DMOS e $V_{gs} > V_{gs(TH)}$ nel MOS ad arricchimento; in fig. 39 troviamo la rete VDB di un NE-MOS e di un ND-MOS

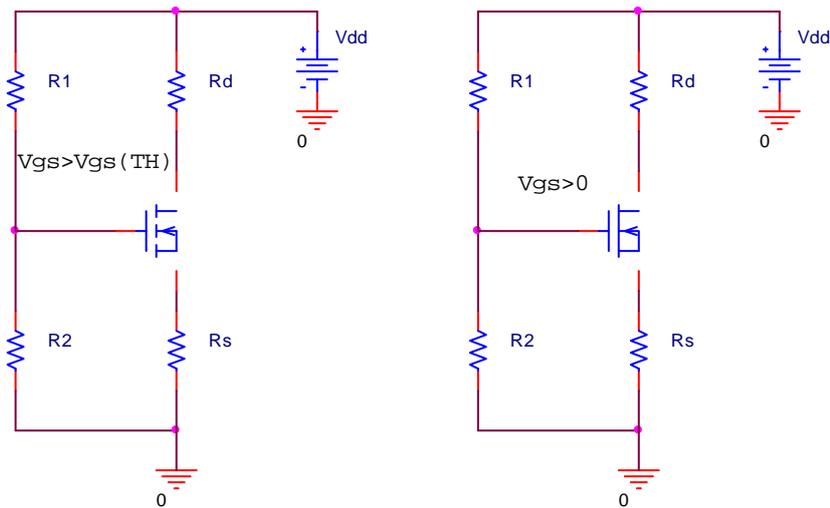


fig. 39

La progettazione della rete VDB di questi dispositivi è del tutto analoga a quella già vista per i JFET; anche la determinazione analitica del punto di riposo in regione attiva, a partire dalla rete esterna, è analoga quella studiate per i JFET

Polarizzazione dei DMOS che lavorano a svuotamento

I DMOS a svuotamento, che lavorano a svuotamento, funzionano correttamente quando V_{gs} e V_{ds} hanno segno opposto, come i JFET; perciò, per polarizzarli si utilizzano le stesse reti di polarizzazione dei JFET; cioè si usano:

- la rete di polarizzazione fissa che, però, richiede necessariamente due alimentazioni di segno opposto e non garantisce alcun controllo sulla I_d ; in fig.40 troviamo la rete di polarizzazione fissa di un ND-MOS in cui V_{gs} è mantenuta al valore fisso $-V_{gg}$.

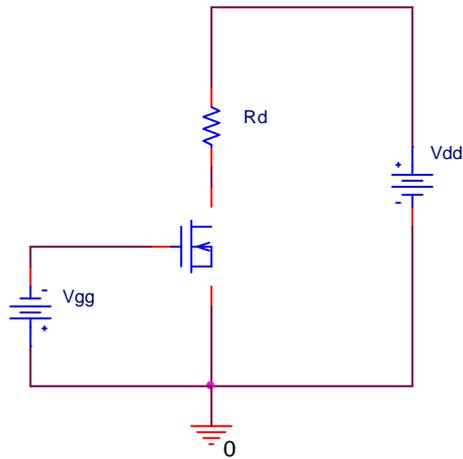


fig. 40

- la rete di autopolarizzazione che consente di scegliere il punto di riposo oppure il valore di R_s (ma non entrambi) e stabilisce un controllo sulla I_d ; in fig.41 troviamo la rete di autopolarizzazione di un ND-MOS .

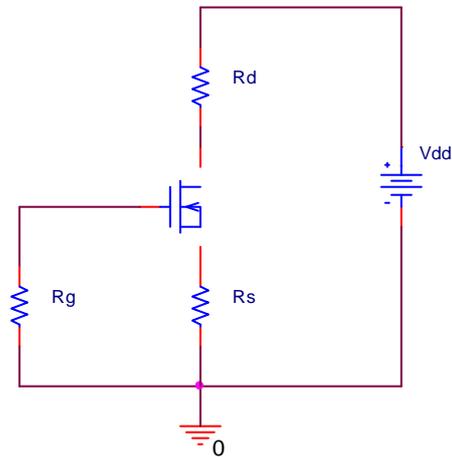


fig. 41

- la rete VDB (fig.42) che consente di scegliere sia il punto di riposo sia il valore di R_s e stabilisce il grado di controllo desiderato sulla I_d ; ; in fig. 42 troviamo la rete VDB di un ND-MOS .

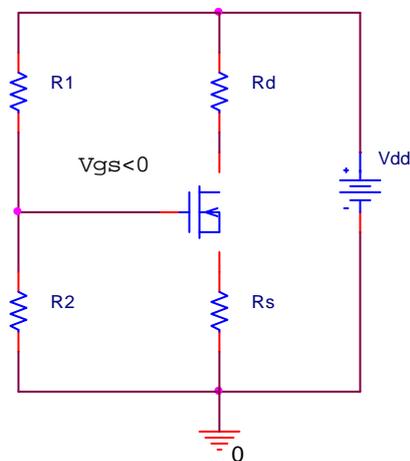


fig.42

MOSFET ad arricchimento come interruttore logico

Il FET che meglio si presta ad essere usato come interruttore logico è il MOS ad arricchimento a 3 terminali (fig. 43):

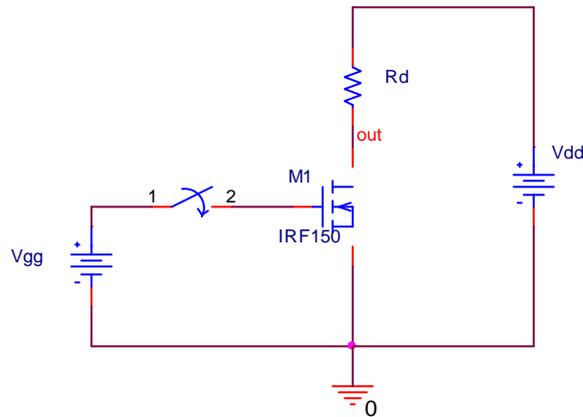


fig. 43

Infatti:

- quando l'interruttore è aperto, il MOS non ha tensione di arricchimento per cui $I_d=0$ e $V_{ds}=V_{out}=V_{dd}$
- quando l'interruttore è chiuso il MOS ha una tensione di arricchimento $V_{gs}=V_{gg}$ e deve trovarsi profondamente in regione ohmica in modo che V_{ds} sia trascurabile e:

$$I_d = \frac{V_{dd} - V_{ds}}{R_d} \cong \frac{V_{dd}}{R_d}$$

In queste condizioni, la tensione di uscita $V_{out}=V_{ds}\cong 0$

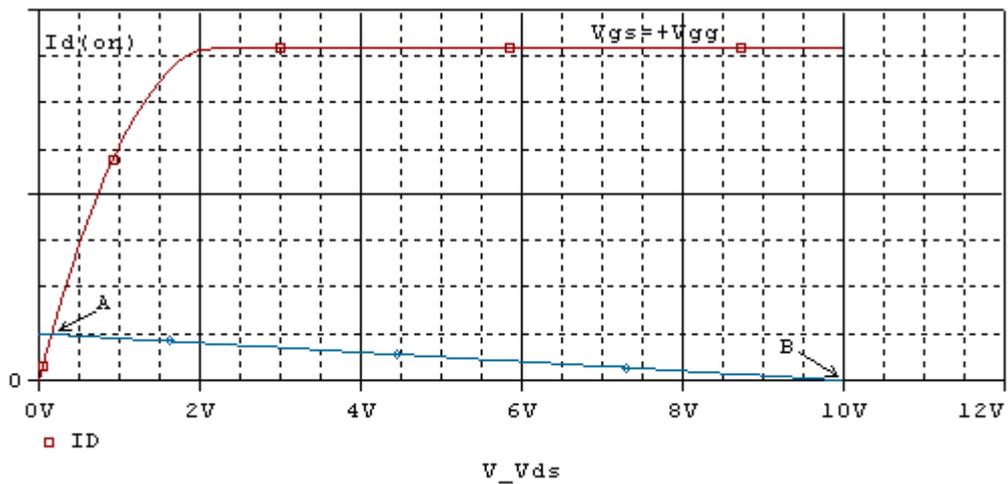


fig.44

Come risulta evidente dalla fig. 44, il MOS si trova profondamente in regione ohmica se la corrente che lo attraversa risulta molto più piccola della corrente $I_{d(on)}$ che attraverserebbe lo stesso dispositivo, se esso si trovasse in regione attiva, sempre con $V_{gs}=V_{gg}$; cioè se:

$$I_d \cong \frac{V_{dd}}{R_d} \ll I_{d(on)}$$

e quindi se :

$$R_d \gg \frac{V_{dd}}{I_{d(on)}}$$

L'interruttore logico, come già sappiamo, si comporta da porta NOT rudimentale.

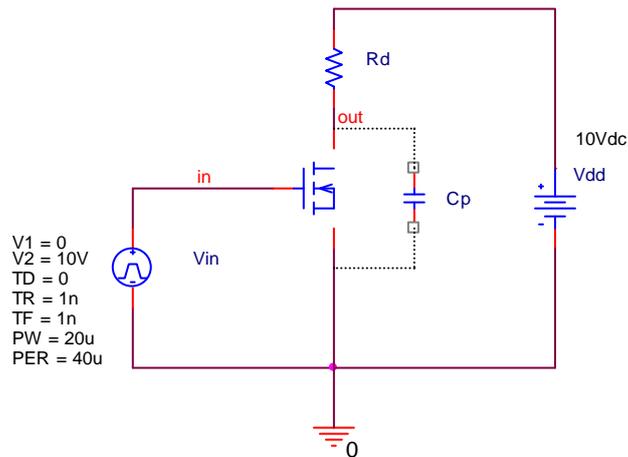


fig. 45

Infatti, se al suo ingresso poniamo un'onda quadra, in uscita troviamo la stessa onda quadra negata (fig.46)

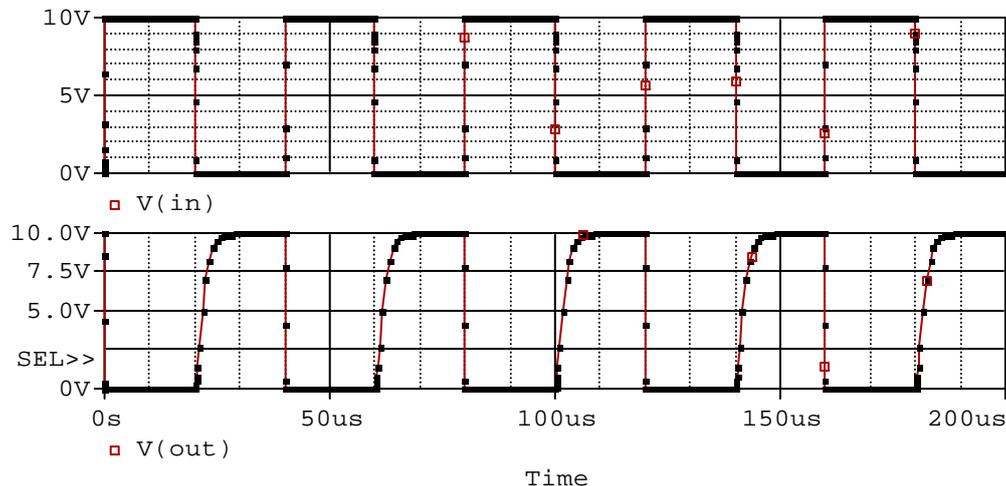


fig. 46

Notiamo che il fronte di salita dell'onda quadra di uscita risulta ritardato; ciò è dovuto ad una capacità parassita inevitabile, collocata tra drain e source (in parallelo all'uscita); questa capacità:

- quando l'uscita va a livello alto, si carica a +Vdd, attraverso un elemento passivo, il carico Rd, ritardando così il fronte di salita;
- la stessa capacità, quando l'uscita va a livello basso, si scarica velocemente attraverso un elemento attivo, il MOS; i fronti di discesa sono ritardati pochissimo

L'interruttore appena visto ha due inconvenienti:

- uno, dovuto al carico Rd passivo, che ritarda i fronti del segnale di uscita
- l'altro dovuto al fatto che il livello basso dell'uscita non è proprio zero ma è la caduta sul MOS in regione ohmica che, per quanto piccola, non è nulla.

Entrambi gli inconvenienti si risolvono, sostituendo il carico passivo Rd con uno attivo, un MOS a canale P (PMOS), come in fig. 47

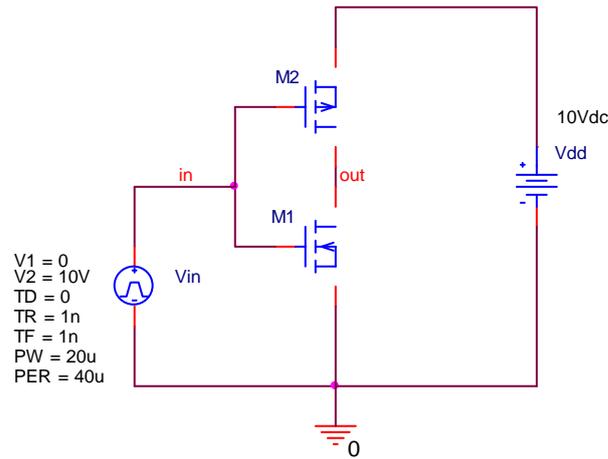


fig. 47

Osserviamo che:

- quando $V_{in}=V_{dd}$, il MOS M1, a canale N, ha una tensione di arricchimento di rilevante; perciò ha il canale formato e può condurre; M2 non ha tensione di arricchimento perché ha sia il gate sia il substrato a V_{dd} ; M2, quindi non conduce ed impedisce a M1 di condurre, dato che sono in serie. In queste condizioni la caduta ai capi di M1 è $V_{ds1}=0$, perché M1 si comporta come una resistenza percorsa da una corrente nulla; di conseguenza $V_{out}=V_{ds1}=0$
- quando $V_{in}=0$, il MOS M2, a canale P, ha una tensione di arricchimento rilevante e, perciò, potrebbe condurre ma ne è impedito da M1 che, non avendo tensione di arricchimento, è interdetto; di conseguenza la caduta V_{ds2} , ai capi di M2, è zero; perciò $V_{out}=V_{dd}-V_{ds2}=V_{dd}$

Le forme d'onda di fig. 48 confermano che il nostro circuito si comporta da porta NOT e mostrano che anche il fronte di salita di V_{out} è ripido; ciò è dovuto al fatto che, stavolta, la capacità parassita posta in parallelo all'uscita si carica attraverso un carico attivo (M2)

